

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-114815

(43)Date of publication of application : 07.05.1996

(51)Int.Cl.

G02F 1/136

(21)Application number : 06-251700

(71)Applicant : SONY CORP

(22)Date of filing : 18.10.1994

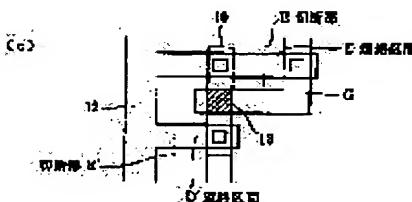
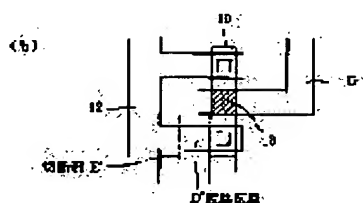
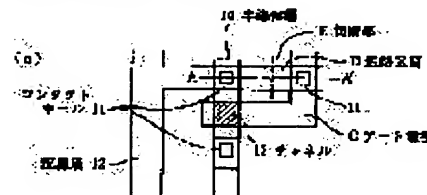
(72)Inventor : ABE FUMIAKI

## (54) PRODUCTION OF TFT ACTIVE MATRIX LIQUID CRYSTAL SUBSTRATE

## (57)Abstract:

PURPOSE: To provide a process for producing a TFT active matrix liquid crystal substrate which averts the influence of damage, such as static electricity, generated in a stage for producing liquid crystal substrates.

CONSTITUTION: Semiconductor layers 10, wiring layers 12 which consist of signal systems and power source systems connected via contact holes 11 to these semiconductor layers 10, gate electrodes G, channels 13 of intersected points of the semiconductor layers 10 and the gate electrodes G and shorting sections D formed by extending the wiring layers 12 to the gate electrodes G are formed. The substrates are removed in a cutting section E after passage through stages, such as plasma treatment, where an dielectric breakdown is liable to arise. Then, the dielectric breakdown and deterioration in characteristic of the scanning circuit parts TFTs and pixel transistor parts TFTs by the static electricity, etc., during the production process of the TFT active matrix liquid crystal substrate contg. scanning circuits are prevented.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-114815

(43)公開日 平成8年(1996)5月7日

(51)Int.Cl.<sup>4</sup> G02P 1/138 識別記号 F 00 庁内整理番号 F-I 技術表示箇所

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平8-251700

(22)出願日 平成8年(1994)10月18日

(71)出願人 000002165

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 阿部 文明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

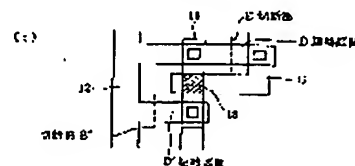
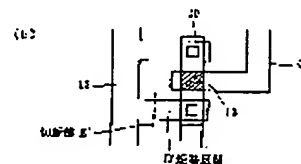
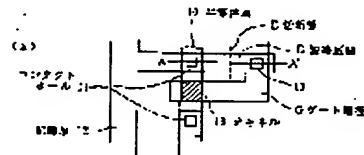
(54)【発明の名称】 TFTアクティブマトリクス液晶基板の製造方法

(57)【要約】

【目的】 液晶基板の製造工程で発生する静電気等のダメージの影響を回避したTFTアクティブマトリクス液晶基板の製造方法を提供する。

【構成】 半導体層10や、前記半導体層10にコンタクトホール11を介して接続された信号系や電源系からなる配線層12や、ゲート電極Gや、前記半導体層10とゲート電極Gの交点部のチャネル13、そして配線層12をゲート電極Gまで延長して接触区間Dを形成した。こうして、プラズマ処理等の静電気破壊を発生し易い工程を通過後に切断部Eにて除去する構成とした。

【効果】 特に、走査回路を内蔵したTFTアクティブマトリクス液晶基板の製造工程中の静電気等による走査回路部TFTや画素トランジスタ部TFTの静電破壊や特性劣化を防止することができる。



【特許請求の範囲】

【請求項 1】 走査回路部 T F T と画素トランジスタ部 T F T を内蔵した T F T アクティブマトリクス液晶基板の製造方法において、

前記走査回路部 T F T のソース・ドレイン電極とゲート電極とを共通に接続する短絡回路を形成する工程と、所定の処理を施す処理工程と、

後に前記短絡回路を除去して各電極を電気的に分離する分離工程とを有することを特徴とする T F T アクティブマトリクス液晶基板の製造方法。

【請求項 2】 走査回路部 T F T と画素トランジスタ部 T F T を内蔵した T F T アクティブマトリクス液晶基板の製造方法において、

前記画素トランジスタ部 T F T のソース電極とドレイン電極とゲート電極の少なくとも一対の電極を共通に接続する短絡回路を形成する工程と、

所定の処理を施す処理工程と、後に前記短絡回路を除去して各電極を電気的に分離する分離工程とを有することを特徴とする T F T アクティブマトリクス液晶基板の製造方法。

【請求項 3】 前記処理工程はプラズマ雰囲気中での処理であることを特徴とする請求項 1 または請求項 2 に記載の T F T アクティブマトリクス液晶基板の製造方法。

【請求項 4】 前記分離工程はエッチング処理、F I B（収束イオンビーム）及びレーザスクライビングの内の何れかであることを特徴とする請求項 1 または請求項 2 に記載の T F T アクティブマトリクス液晶基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばカメラ型 V T R のビューファインダーや液晶プロジェクター装置等に用いられる走査回路を内蔵した T F T アクティブマトリクス液晶基板の製造方法に関するものである。

【0002】

【従来の技術】近年、カメラ型 V T R や液晶プロジェクターに代表される液晶表示装置付機器の普及とともに、液晶表示装置への高性能化の要求が高まりつつある。この液晶表示装置には大別して画素制御用の薄膜トランジスタ（T F T :Thin Film Transistor 以下、単に「T F T」と記す）のみを基板上に形成して走査回路は周辺 I C で行うものと、画素制御用の T F T とともに走査回路部 T F T を T F T アクティブマトリクス液晶基板上に一体的に形成するものに分類される。本発明は走査回路部 T F T を T F T アクティブマトリクス液晶基板上に内蔵した液晶表示装置に係わるものであり、その構成例を示して説明する。

【0003】従来技術の T F T アクティブマトリクス液晶基板を図 3 及び図 4 を参照して説明する。

【0004】初めに、図 3 を参照して T F T アクティブマトリクス型液晶表示装置の詳細を説明する。同図において、符号 1 は本発明の要部部位である T F T アクティブマトリクス液晶基板を指し、符号 2 は外部 I C を指し、符号 3 は前記外部 I C の接続端子を指す。前記 T F T アクティブマトリクス液晶基板 1 の細部構成は、水平走査回路 4 や、位相調整回路 5、画像信号供給スイッチ 6、そして走査方向の制御を司る垂直走査回路 7 を一体的に搭載して構成される。

【0005】また、前記画像供給スイッチ 6 や垂直走査回路 7 には、各画素制御用の T F T 8 がマトリクス状に配設されている。つまり、前記 T F T 8 はソース・ドレイン電極 S D やゲート電極 G で構成され、そのゲート電極 G は前記垂直走査回路 7 に共通的に接続されている。同じく、ソース・ドレイン電極 S D は前記画像信号供給スイッチ 6 に共通的に接続されている。更に、ソース・ドレイン電極 S D は蓄積容量 C s や液晶セル L C を介して共通電極 V c o m に接続されている。ここで、ソース電極やドレイン電極は回路のバイアス極性が反転すると動作上のソース・ドレインが入れ替わり、通常の F E T（電界効果トランジスタ）と同様に双方向性を有するため、両者を一体として扱いソース・ドレイン電極 S D と呼称することとする。

【0006】このような構成の T F T アクティブマトリクス液晶基板の動作を説明する。前記 T F T アクティブマトリクス液晶基板 1 は、外部 I C から供給される電源、クロックパルス、スタートパルス及び画像信号等の必要情報を接続端子 3 で受取る。接続端子 3 で受取られた各種情報は前記水平走査回路 4 や、垂直走査回路 7 に分割して入力される。前記垂直走査回路 7 は、T F T 8 のゲート電極 G に走査スイッチング信号を供給する。水平走査回路 4 は、T F T 8 のソース・ドレイン電極 S D に順次選択的に画像信号を印加する。位相調整回路 5 にて前記垂直走査回路 7 と前記水平走査回路 4 から供給された映像信号と同期を取りつつ画像信号供給スイッチ 6 に画像信号を供給する。

【0007】前記画像信号供給スイッチ 6 では、液晶セル L C を駆動するための画像信号を前記スタートパルスや、クロックパルスとタイミングを計りつつ供給する。T F T 8 において前記垂直走査回路 7 の走査スイッチング信号の印加に応じてソース・ドレイン電極 S D から画像信号を取り込み、蓄積容量 C s とともに液晶セル L C に供給する。前記液晶セル L C に供給された各画素の画像レベルに応じた画像信号電圧は後述する液晶分子を画像信号電圧方向に振られて倒立させるように作動する。この液晶分子による旋光性を利用して T F T アクティブマトリクス型液晶表示装置の画像表示がなされる。

【0008】次に、図 4 を参照して従来技術の走査回路部 T F T の配線構成を説明する。同図において、半導体層 10（第 1 の S i 層）や、前記半導体層 10 にコンタ

クトホール11を介して接続された信号系や電源系からなる配線層12や、ゲート電極G（第2のSi層）、そして前記半導体層10とゲート電極Gの交点であってキャリアの移動の用途に供するチャネル13等を備えて構成されている。

【0009】上述したように、走査回路部TFTをTFTアクティブマトリクス液晶基板上に内蔵した基板方式は、外部ICとの接続端子数を著しく削減することができ、画素配列が高密度化するほど有利な方式である。一方、走査回路部TFTを内蔵する方式や内蔵しない方式に係わらずTFTアクティブマトリクス液晶基板の製造工程上、静電気の蓄積による静電破壊等のダメージを受ける場合がある。特に、走査回路部TFTを内蔵する基板方式では走査回路部を構成するTFTは各画素トランジスタ部TFT形成工程以降も静電気に曝される機会が多く、静電気等によるダメージを受ける可能性がある。

【0010】従来技術の静電気対策技術は、特開昭63-81975号公報に記載の「TFTアクティブマトリクス基板の製造方法」に開示されているように各画素制御用TFTのソース・ドレイン電極とゲート電極間をパネル外周において電気的に短絡しておき、後に（ラビング処理工程後）切断するという製造方法が一般的に知られている（この静電気対策技術は走査回路部TFTを内蔵しない方式に関する）。ここで、ラビング処理工程は各画素TFTに対して直接摩擦静電気を誘起し易く、TFTの特性劣化を引き起こしやすいためである。

【0011】

【発明が解決しようとする課題】しかし、上述のような従来技術の静電気対策技術では、走査回路を内蔵したTFTアクティブマトリクス液晶基板においてこれを構成するTFTや配線は画素TFTに比しても複雑であり、特開昭63-81975号公報に記載されているように行列した画素間配線を外周まで引き出して形成しておく、後にダイシング、スクライプ等によって除去することは極めて困難である。また、画素TFTの劣化が1画素単位であるのに対し、走査回路中では1個のTFTの劣化がライン欠陥等の液晶表示装置全体に支障を来し完全不良となる。更に、TFTの基板材料にはガラス等の絶縁体を使用しているためチャージアップし易い。そのため、チャージアップによる不所望の電位差の発生やそれを主因とするチャネル近傍での特性劣化や絶縁破壊が発生するという問題点があった。このように従来技術の静電気対策技術ではTFTのダメージ回避の方法において不十分であるのが実情である。

【0012】本発明は以上の点を考慮してなされたもので、TFTアクティブマトリクス液晶基板、特に、走査回路を内蔵したTFTアクティブマトリクス液晶基板の製造工程で発生する静電気等の影響によるTFTへのダメージを回避したTFTアクティブマトリクス液晶基板の製造方法を提供しようとするものである。

【0013】

【課題を解決するための手段】かかる課題を解決するために本発明の走査回路部TFTと画素トランジスタ部TFTを内蔵したTFTアクティブマトリクス液晶基板の製造方法において、走査回路部TFTのソース・ドレイン電極とゲート電極とを共通に接続する短絡回路を形成する工程と、プラズマ雰囲気炉中での処理を施す処理工程と、後に前記短絡回路を除去して各電極を電気的に分離する分離工程とを備えた。そして、前記走査回路部TFTのソース・ドレイン電極とゲート電極で短絡回路を形成した後に、エッチング処理やFIB（収束イオンビーム）及びレーザスクライビング等の分離工程で除去することにした。

【0014】また、前記画素トランジスタ部TFTのソース電極とドレイン電極とゲート電極の少なくとも一対の電極を共通に接続する短絡回路を形成する工程と、プラズマ雰囲気炉中での処理を施す処理工程と、後に前記短絡回路を除去して各電極を電気的に分離する分離工程とを備えた。そして、画素トランジスタ部TFTのソース電極とドレイン電極とゲート電極の少なくとも一対の電極に短絡回路を形成した後に、エッチング処理やFIB（収束イオンビーム）及びレーザスクライビング等の分離工程で除去することで前記課題を解決した。

【0015】

【作用】本発明の走査回路部TFTと画素トランジスタ部TFTを内蔵したTFTアクティブマトリクス液晶基板の製造方法において、走査回路部TFTのソース・ドレイン電極とゲート電極とを共通に接続する短絡回路を形成する工程と、プラズマ雰囲気炉中での処理を施す処理工程と、後に前記短絡回路を除去して各電極を電気的に分離する分離工程とを備えた。そして、前記走査回路部TFTのソース・ドレイン電極とゲート電極間に短絡回路を形成しておき、静電気によるダメージを受け易い工程を通過後に前記短絡回路を除去して各電極を電気的に分離することにしたため、両者間に静電気破壊等の原因となる電位差の発生を抑制することができる。

【0016】特に、前記画素トランジスタ部TFTのソース電極とドレイン電極とゲート電極の少なくとも一対の電極を共通に接続する短絡回路を形成する工程と、プラズマ雰囲気炉中での処理を施す処理工程と、後に前記短絡回路を除去して各電極を電気的に分離する分離工程とを備えた。そして、画素トランジスタ部TFTのソース電極とドレイン電極とゲート電極の少なくとも一対の電極に短絡回路を形成して、静電気によるダメージを受け易い工程を通過後に前記短絡回路を除去して各電極を電気的に分離することにしたため、静電気等によるダメージを回避することができる。

【0017】

【実施例】以下、図1及び図2を参照して、本発明のTFTアクティブマトリクス液晶基板の製造方法の実施例

を説明する。なお、従来技術の走査回路部TFTの配線構造を示す図と同一の部分には同一の参照符号を付し、それらの構成や動作の説明を省略する。

【0018】初めに、図1を参照して本発明のTFTアクティブマトリクス液晶基板の製造方法を説明する。図1は、図2(a)の走査回路部TFTであるA-A'部と、同一プロセスで形成される画素トランジスタ部TFTを拡大して示したTFTアクティブマトリクス液晶基板の製造方法の工程断面図である。図1における符号Bは画素トランジスタ部TFTの画素開口部を示し、符号Cは液晶分子を模式的に示した。更に、符号Dは後述する短絡区間を示している。

【0019】まず、洗浄した石英ガラス基板上にLP-CVD(低圧化学的気相成長法)等により半導体層となる多結晶Siである第1のSi層20を成膜し、熱処理等により結晶粒を成長させる。これを写真処理技術により所望のパターンにパターニングした後、第1のSi層20の表面を酸化して、全面にp型不純物Bを低濃度イオン注入することによりゲート酸化膜21を形成する。画素トランジスタ部TFTにも同様の処理を施す。次に、LP-CVDによりゲート電極となる第2のSi層22を成膜し、更にPOCl<sub>3</sub>等のガス中で熱処理することによりPを拡散させて低比抵抗化した後にパターニングする(図1(a))。

【0020】次いで、画素外回路に用いるp型トランジスタを覆うようにマスキングして、n型不純物Asを高濃度イオン注入するとともに、画素トランジスタと画素外回路のn型トランジスタを覆うようにマスキングしp型不純物Bを高濃度イオン注入する(以上、通常のCMOSプロセスであるため図示を省略する)。その後、A-P-CVD(常圧化学的気相成長法)により、燐シリケートガラス等の第1の層間絶縁層23を形成する。そして、画素トランジスタの信号配線用及び画素外回路の配線用として、第1のSi層20及び第2のSi層22にコンタクトホールを開く。

【0021】次に、例えば配線材料として一般的に使用されるAl-1%Siをスパッタリング等により成膜してパターニングすることにより配線層24を形成する。本発明のポイント部分は短絡区間Dも配線層で覆われた構造となっている点である。つまり、内蔵周辺回路を構成するTFTのソース・ドレイン電極とゲート電極間をAl-1%Si等で短絡した点である(図2(b))。

【0022】更に、第2の層間絶縁層25を成膜し、その上にプラズマCVDによりSiNH等の被覆層26を成膜する。前記SiNH層26は、引き続きマスクを用いてエッチング処理する。そのエッチング部分は画素開口部Bや、画素電極コンタクト部、及び本発明では周辺回路内のA配線にて短絡しておいた配線部分であり、こうして前記短絡区間DのA配線部分が露出する(図2(c))。

【0023】続いて、画素電極として透明導電膜であるITO(Indium-Tin Oxide)27をスパッタリング処理により成膜する(図2(d))。

【0024】次に、画素電極部を残すように他の部分をエッチング処理して除去する。ITO27のエッチング処理に続けて、露出したA配線部分をフォトリソグラフィ技術により選択的にエッチング処理して除去する(図2(e))。最後に、熱処理を施すことにより前記ITO27の比抵抗を低下させるとともに画素開口部Bの可視光透過率を向上させ、更にトランジスタ特性を向上させてTFTアクティブマトリクス液晶基板の初期作製工程を終了する。

【0025】次に、図2を参照して本発明の短絡方法の実施例を説明する。初めに図2(a)を参照して第1の実施例を説明する。

#### 【0026】実施例1

本実施例の特徴部分は、同図(a)に示す如く、従来技術の配線構造に対して新たに短絡区間を延長して形成した点である。つまり、半導体層10や、前記半導体層10にコンタクトホール11を介して接続された信号系や電源系からなる配線層12や、ゲート電極G、そして前記半導体層10とゲート電極Gの交点部のチャネル13等で構成された従来技術の配線構造に対して、配線層12をゲート電極Gまで延長して短絡区間Dを形成し、コンタクトホール11で接続した。こうして、プラズマ処理等の静電気破壊を発生し易い工程を通過後に切断部Eにて除去する構成とした。

#### 【0027】実施例2

本実施例は、前述の第1の実施例における短絡区間Eに変えて配線層12と半導体層10間に新たに短絡区間D'を形成した例であり、これを図2(b)を参照して説明する。同図(b)に示す如く、配線層12と半導体層10を短絡区間D'で形成することとした。このため、配線層12と半導体層10は同一電位に保持される。この状態でプラズマ処理等の静電気のチャージが発生するような各種工程を通過させる。そして、プラズマ処理等の工程を通過後に切断部E'において除去する。このようにすることで、配線層12と半導体層10間で不所望の電位差の発生を抑えることができ、静電破壊等によるTFTの損壊を防止することができる。

#### 【0028】実施例3

本実施例は、図2(c)に示す如く、前述の第1の実施例及び第2の実施例における短絡区間D及び短絡区間D'を組み合わせて形成した例である。このように短絡区間Dと短絡区間D'を組み合わせて形成することにより、配線層12とゲート電極G間や配線層12と半導体層10間を同一電位で接続して前述と同様にプラズマ処理等の静電気のチャージが発生し易い工程を通過後に切断部E及びE'において除去する構成とした。それにより、配線層12とゲート電極G及び配線層12と半導体

層10間で不所望の電位差の発生を抑えた。

【0029】本発明は前記実施例に限定されず、種々の実施形態を採ることができる。例えば短絡部を除去する工程としては、選択的にエッチング処理して除去する方法について説明したが、画素電極用コンタクトホール開口後に引き続いて配線除去のエッチング処理を行っても良いし、またTFT基板をダイシングにより一枚毎に切断後に行っても良い。更に、短絡配線を回路外周にて行える部分については対向するカラーフィルタ基板との接合部よりも外側に短絡区間を形成して、両基板の貼合わせ後に行うことも可能である。更にまた、対向するカラーフィルタ基板との貼合わせ後にFIBやレーザースクライビング等のエッチング処理以外の方法で切断することも可能である。

【0030】また、本実施例では主に走査回路部TFTのゲート電極とソース・ドレイン電極について短絡回路を設けることについて説明したが、画素トランジスタ部TFTのゲート電極とソース電極とドレイン電極の少なくとも一対の電極に短絡回路を形成してその後切断するようにしても良く、更に様々な形態に発展できることは言うまでもない。

【0031】

【発明の効果】以上説明したように、本発明のTFTアクティブマトリクス液晶基板の製造方法によれば、従来技術の静電気対策技術のようにTFT周辺部に短絡回路を形成する必要がなく、TFTアクティブマトリクス液晶基板の製造工程内で比較的容易に短絡回路を形成、除去することができ、そのため走査回路部TFTや画素トランジスタ部TFTの静電気破壊や特性劣化を防止することができる。

【0032】更に、走査回路を内蔵したTFTアクティブマトリクス液晶基板の製造工程中の静電気等による走査回路部TFTの欠陥の発生を防止することができるため、走査回路部TFTの静電気破壊を主要原因とする点欠陥やライン欠陥等の液晶表示装置全体に支障を来す不良を未然に防止することができる。そのため、工程不良率を低減することができ、更に低コストの製品の実現が可能となる。

【図面の簡単な説明】

【図1】TFTアクティブマトリクス液晶基板の製造方法を説明するための工程断面図である。

【図2】本発明の走査回路部TFTの配線構造を示す上面図であり、(a)は第1の実施例を示す図であり、

(b)は第2の実施例を示す図であり、(c)は第3の実施例を示す図である。

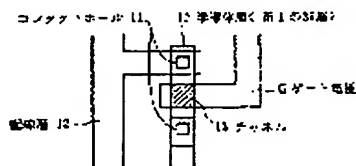
【図3】従来技術のTFTアクティブマトリクス型液晶表示装置を示す回路図である。

【図4】従来技術の走査回路部TFTの配線構造を示す上面図である。

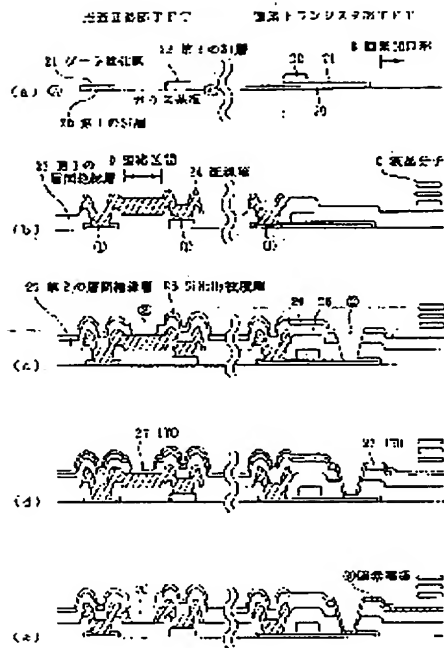
【符号の説明】

1	TFTアクティブマトリクス液晶基板
2	外部IC
3	接続端子
4	水平走査回路
5	位相調整回路
6	画像信号供給スイッチ
7	垂直走査回路
8	TFT
10	半導体層
11	コンタクトホール
13	チャネル
12, 24	配線層
20	第1のSi層
21	ゲート酸化膜
22	第2のSi層
23	第1の層間絶縁層
25	第2の層間絶縁層
26	SiNH被膜層
27	ITO
B	画素開口部
C	液晶分子
D, D'	短絡区間
E, E'	切断部
G	ゲート電極
SD	ソース・ドレイン電極
Vcom	共通電極
LC	液晶セル
Cs	画素容量

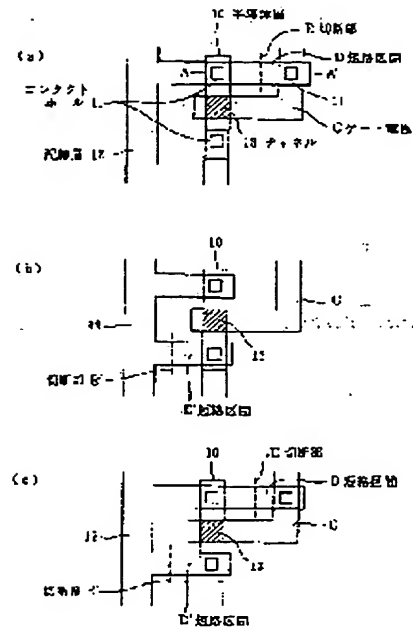
【図4】



【図 1】



【図 2】



【図 3】

